



F37X

FPGA 异构加速卡硬件接口

用户手册 V1.0

V1.0

浪潮集团

2020 年 4 月

目录

文档介绍	4
文档目的	4
文档范围	4
术语/缩写	4
产品介绍	5
产品规格	5
硬件接口介绍	7
板卡系统架构	7
时钟电路	8
PCIe 电路	8
QSFP28 电路	8
DDR4 电路	9
FPGA 调试配置	9
FPGA 与 MCU 通信接口	9
MCU 电路介绍	10
SMBus 系统管理	11
拨码开关及状态指示灯	11
板卡布局	12
附录	12

附录 1：时钟对应 FPGA 管脚定义.....	12
附录 2：PCIe 对应 FPGA 管脚定义	13
附录 3：QSFP28 对应 FPGA 管脚定义	15
附录 4：DDR4 对应 FPGA 管脚定义	16

文档介绍

文档目的

此文档的目的在于对 F37X FPGA 异构加速卡的硬件电路进行详细的介绍，主要包括板卡信息、电路功能、管脚分配等信息。

文档范围

本文档描述了基于 Xilinx VU37P FPGA chip 的板级设计和系统设计原理及各组成部分之间的交互关系。

术语/缩写

术语/缩写	说明
FPGA	Field Programmable Gate Array
BMC	Baseboard Management Controller
TOPS	Tera operations per second
TFLOPS	Tera floating point operations per second
LVDS	Low-Voltage Differential Signaling

产品介绍

浪潮 F37X FPGA 加速卡是全球首款集成片上 HBM2 高速缓存的 FPGA AI 加速卡，是专为极致 AI 计算性能设计的尖端产品。可在不到 75W 的典型应用功耗下提供 28.1TOPS 的 INT8 计算性能和 460GB/s 的超高数据带宽，实现高性能、高带宽、低延迟、低功耗的 AI 计算加速。



图 1 F37X 产品正面图

产品规格

主要特性	
板卡规格	全高半长，双槽位宽
FPGA 芯片	Xilinx Virtex UltraScale+ VU37P
内存	
HBM2	8GB 片上 HBM2，提供 460GB/s 带宽

DDR4	3 通道 72bits DDR4 SDRAM, 最大支持 24GB 板载内存
接口	
系统接口	PCIE Gen3x16, PCIE Gen4x8, CCIX
高速网络	2*QSFP28, 兼容 2*100GE / 2*40GE / 8*25GE
调试接口	Micro USB 调试接口
功耗、散热	
板卡供电	PCIE 插槽 12V@75W 供电+外部 Aux 供电 12V@75W
板卡功耗	150W (Peak), 75W (Average)
板卡散热	被动散热
板卡管理	
管理	智能 BMC: 支持板卡信息读取 (温度, 功耗) 支持读取板卡 PN、SN 等信息
升级	支持通过 PCIe 在线升级板卡应用程序

硬件接口介绍

板卡系统架构

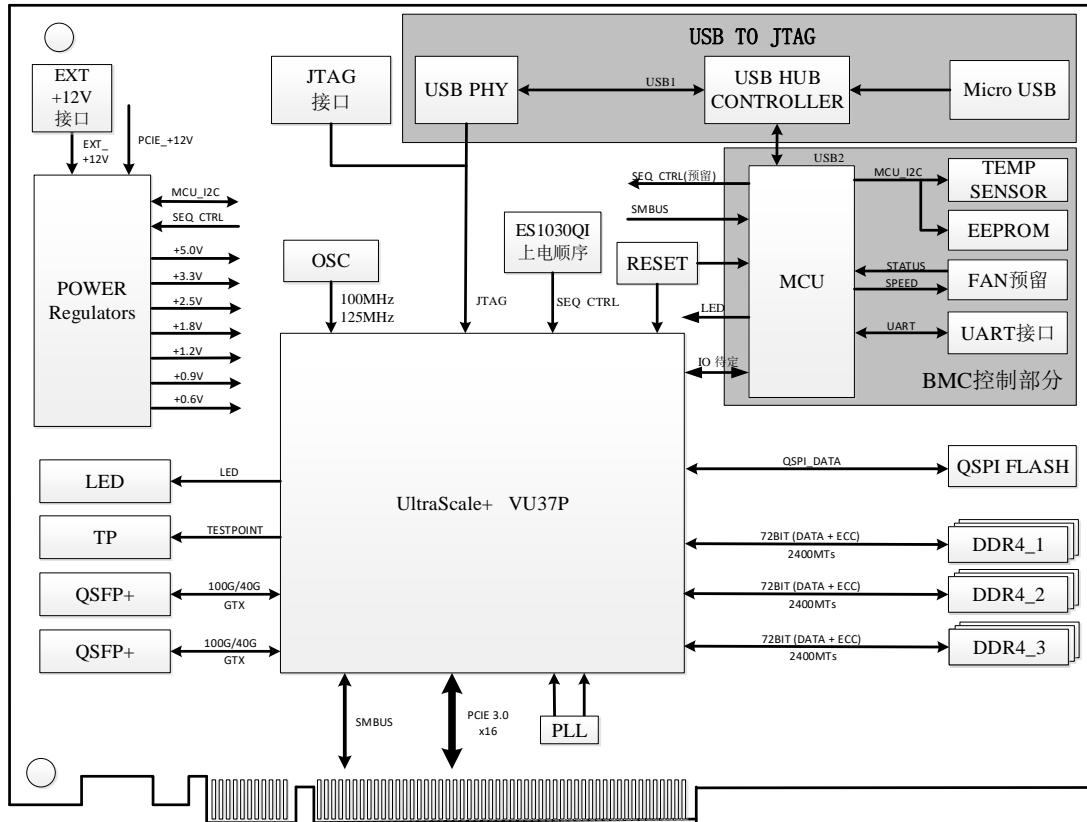


图 2 F37X 系统框图

- 支持 1 颗 Virtex UltraScale+ VU37P FPGA 芯片，型号 xcvu37p-fsvh2892-2L-e；
- 支持 1 颗 MCU 芯片，型号 STM32F446RC，主要用于 FPGA 加速卡的整板 BMC 控制等功能。
- 支持 3 通道 DDR4 板载内存颗粒，单通道容量 8GB，位宽 72bit，支持 ECC，最高数据速率 2400MT/s。
- 支持 PCIe Gen3.0，x16 Lane。
- 支持两通道 QSFP28，兼容 100GE/40GE/4*25GE。
- 支持 1 片 1Gb QSPI 串行 Nor Flash，用于 FPGA 的 AS 配置。
- 支持 Micro USB 调试接口。
- 支持 1 片板载 512Kb EEPROM，用于存储板卡信息。

- 支持通过 MCU 读取 FPGA 芯片温度，板卡温度和整板功耗，控制 PLL 等。

时钟电路

FPGA 时钟包含以下几种电路：

- 1 路单端 100MHz 晶振是 FPGA 的参考时钟；
- 1 路差分 100MHz 晶振是 FPGA 的 Kernel 备用时钟；
- 2 个可配置 PLL，可产生 8 路 LVDS 时钟，其中 3 路用于 DDR4 的参考时钟，2 路用于 100G 光网络接口的参考时钟。
- 1 路来自 PCIE 接口的参考时钟。

时钟框图如下图 2.3 所示，相关时钟对应 FPGA 管脚定义见附录 1。

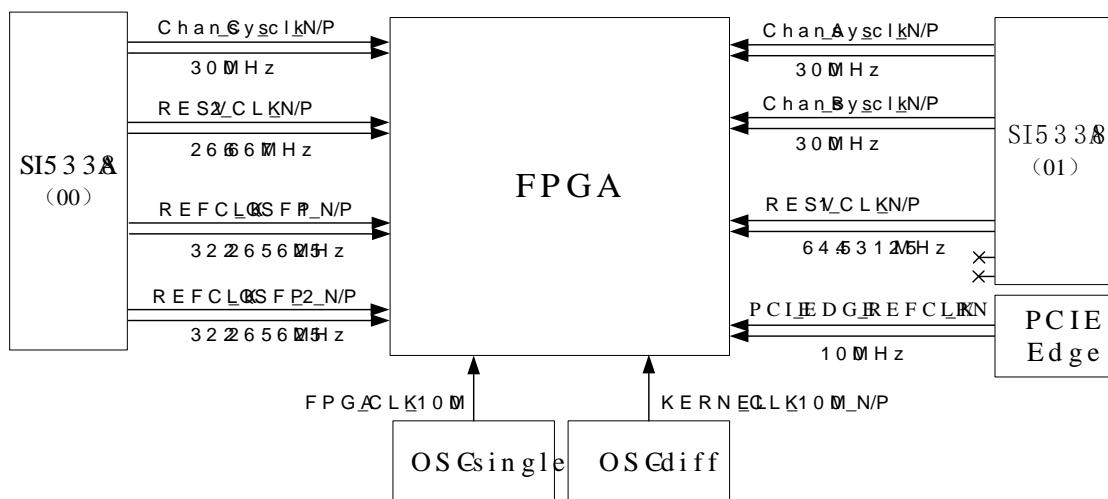


图 3 时钟电路拓扑图

PCIe 电路

该板卡 PCIe 接口电路支持 16Lane PCIe Gen3.0，最大吞吐量是 16GB/s。附录 2 是 PCIE 对应的 FPGA 管脚定义。

QSFP28 电路

该板卡支持两路 QSFP28，兼容 100GE/40GE/4*25GE。附录 3 是 QSFP28 对应的 FPGA 管脚定义。

DDR4 电路

该板卡支持 3 个 DDR4 内存通道，每个通道最大支持到 72bit 8GB @2400MT/s。附录 4 是 DDR4 对应的 FPGA 管脚定义。

FPGA 调试配置

板卡集成有 USB 转 JTAG，如下图 2.4 所示，可直接采用 Micro USB 接口调试。当 Micro USB 接口失效后还可通过 JTAG 接口调试 FPGA（默认采用 USB，JTAG 不启用）。

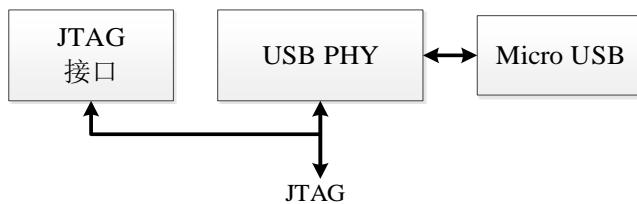


图 4 FPGA 调试接口结构

板卡 JTAG 接口 J5 线序：

引脚	1	2	3	4	5	6
信号	VCC	GND	TCK	TDO	TDI	TMS
FPGA	NA	NA	BE14	BF13	BE13	BE15

FPGA 板卡加载方式采用 Master SPI Quad 模式

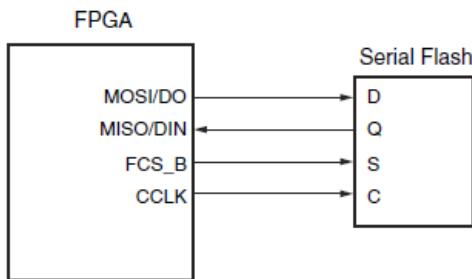


图 5 AS 加载结构示意图

FPGA 与 MCU 通信接口

为方便 FPGA 与 MCU 进行通信，硬件设计上预留了一些信号线，可通过 UART 或 SPI 协议传输命令和数据。如下框图所示：

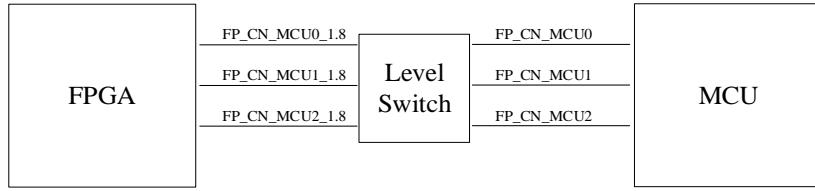


图 6 FPGA-MCU 连接结构图

对应的管脚：

FPGA 侧信号名称	IO 标准	FPGA 管脚	MCU 侧信号名称	IO 标准	MCU 管脚
FP_CN_MCU0_1.8V	1.8V	B17	FP_CN_MCU0	3.3V	U34-20
FP_CN_MCU1_1.8V	1.8V	B18	FP_CN_MCU1	3.3V	U34-21
FP_CN_MCU2_1.8V	1.8V	B20	FP_CN_MCU2	3.3V	U34-35

MCU 电路介绍

板卡采用 STM32F446RC，MCU 系统框图如下图所示，主要实现以下功能：

- 实现 IPMI 协议，进行 BMC 控制。
- 根据电源模块信号状态控制挡片侧 LED 状态。
- 采集各电源模块的 Alert 报警信号及 PGood 信号。
- 作为 I2C MASTER，控制 PLL、EEPROM、QSFP28、POWER 等器件。

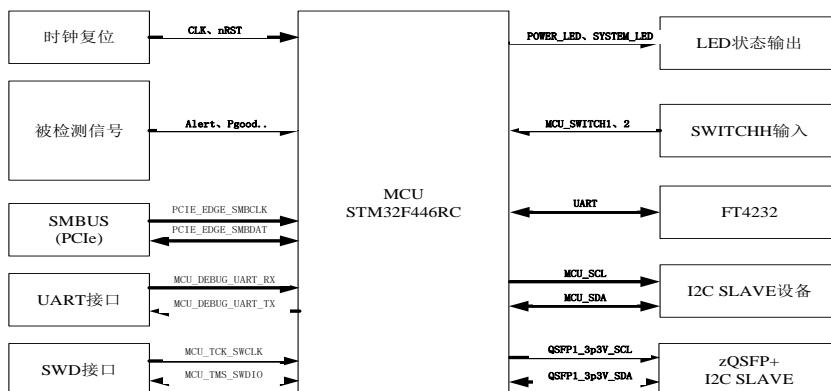


图 7 MCU 系统框图

其中板上留有 MCU 的 UART 接口 J9，可读取 MCU 中相关参数。其定义如下框图所示。

另外：USB 接口 J6 可以实现 UART 功能。

接口	1	2	3
J9	GND	MCU_DUBEG_UART_RX	MCU_DUBEG_UART_TX

SMBus 系统管理

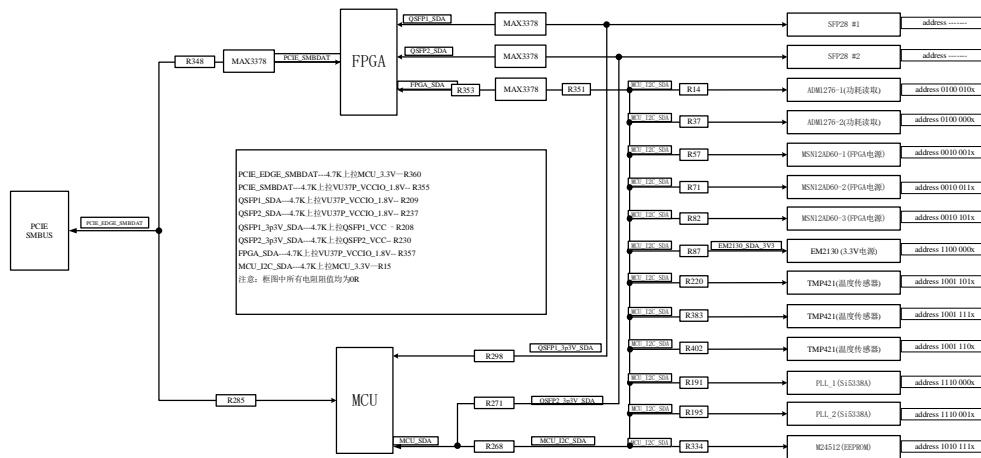


图 8 I2C 配置电路框图

PCIe SMBUS (PCIE_EDGE_SMBCLK、PCIE_EDGE_SMBDAT) 连接 MCU 和 FPGA，MCU 和 FPGA 作为 I2C SLAVE，地址自定义，注意不要冲突。MCU 作为 MASTER (MCU_SCL、MCU_SDA)，连接各 I2C SLAVE，地址如上图所示。

拨码开关及状态指示灯

板上留有 4 位拨码开关和状态指示灯。拨码开关其中 2 位连接 MCU，另外 2 位连接 FPGA。LED 灯用于信号状态指示，其中 D1, D2, D3, D4 作为指示灯通过导光柱在引出到挡片侧显示，D5 是 FPGA 程序加载完成指示灯，测试使用，不在挡片侧引出。

LED 灯对应 FPGA&MCU 管脚对应关系如下表所示：

信号名称	管脚	电平标准	位号	亮 / 灭
SFP_1_RX_LED	D19	1.8V	D1	逻辑 1 / 逻辑 0
SFP_2_RX_LED	D20	1.8V	D2	逻辑 1 / 逻辑 0
MCU_POWER_LED	U34-8	3.3V	D3	逻辑 0 / 逻辑 1
MCU_SYSTEM_LED	U34-9	3.3V	D4	逻辑 0 / 逻辑 1
CFG_DONE_FP	BB14	1.8V	D5	逻辑 1 / 逻辑 0

其中 D1、D2 是定义光口指示灯，FPGA 开发者可以通过 Logic 控制。D3 是板卡电源指示灯，上电常亮，D4 是 MCU 系统运行指示灯，按照一定频率闪烁。

板卡布局

采用 PCIe 标准全高半长规格：167mm（长）x 111mm（高）x 38.6mm（宽）

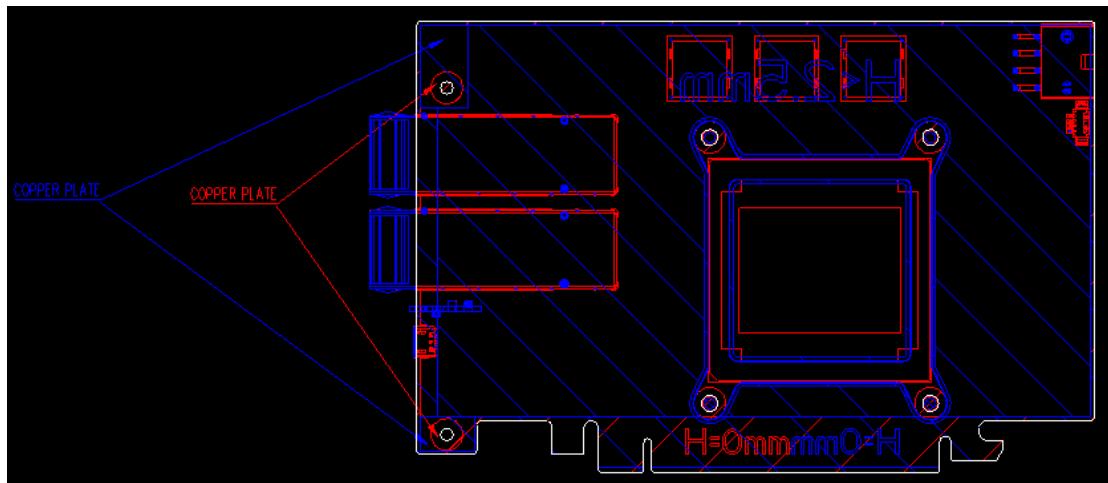


图 9 F37X 板卡尺寸布局

附录

附录 1：时钟对应 FPGA 管脚定义

信号名称	频率	电平标准	管脚	说明
FPGA_CLK_100M	100MHz	1.8V	G18	Reference clock
KERNEL_CLK_100M_P	100MHz	1.8V LVDS	BH25	Kernel clock
KERNEL_CLK_100M_N			BH26	
ChanA_sys_clk_N	300MHz	1.8V LVDS	D12	DDR4_A reference clock
ChanA_sys_clk_P			E13	
ChanB_sys_clk_N	300MHz	1.8V LVDS	E32	DDR4_B reference clock
ChanB_sys_clk_P			E31	
ChanC_sys_clk_N	300MHz	1.8V LVDS	BJ32	DDR4_C reference clock
ChanC_sys_clk_P			BH32	
REFCLK_QSFP1_N	322.265625MHz	1.8V LVDS	AN41	QSFP28_1 reference clock
REFCLK_QSFP1_P			AN40	
REFCLK_QSFP2_N	322.265625MHz	1.8V LVDS	AD43	QSFP28_2 reference clock
REFCLK_QSFP2_P			AD42	
RESV1_CLK_N	644.53125MHz	1.8V LVDS	E18	RESV_1 reference clock
RESV1_CLK_P			E19	

RESV2_CLK_N	266.667MHz	1.8V LVDS	AC41	RESV_2 reference clock
RESV2_CLK_P			AC40	
PCIE_EDGE_REFCLK_P	100MHz		AR15	PCIE reference clock
PCIE_EDGE_REFCLK_N			AR14	

附录 2：PCIe 对应 FPGA 管脚定义

信号名称	电平标准	管脚	说明
PCIE_RX_P0	Current Mode Logic (CML)	AL2	接收 Lane 0
PCIE_RX_N0	Current Mode Logic (CML)	AL1	
PCIE_RX_P1	Current Mode Logic (CML)	AM4	接收 Lane 1
PCIE_RX_N1	Current Mode Logic (CML)	AM3	
PCIE_RX_P2	Current Mode Logic (CML)	AN6	接收 Lane 2
PCIE_RX_N2	Current Mode Logic (CML)	AN5	
PCIE_RX_P3	Current Mode Logic (CML)	AN2	接收 Lane 3
PCIE_RX_N3	Current Mode Logic (CML)	AN1	
PCIE_RX_P4	Current Mode Logic (CML)	AP4	接收 Lane 4
PCIE_RX_N4	Current Mode Logic (CML)	AP3	
PCIE_RX_P5	Current Mode Logic (CML)	AR2	接收 Lane 5
PCIE_RX_N5	Current Mode Logic (CML)	AR1	
PCIE_RX_P6	Current Mode Logic (CML)	AT4	接收 Lane 6
PCIE_RX_N6	Current Mode Logic (CML)	AT3	
PCIE_RX_P7	Current Mode Logic (CML)	AU2	接收 Lane 7
PCIE_RX_N7	Current Mode Logic (CML)	AU1	
PCIE_RX_P8	Current Mode Logic (CML)	AV4	接收 Lane 8
PCIE_RX_N8	Current Mode Logic (CML)	AV3	
PCIE_RX_P9	Current Mode Logic (CML)	AW6	接收 Lane 9
PCIE_RX_N9	Current Mode Logic (CML)	AW5	
PCIE_RX_P10	Current Mode Logic (CML)	AW2	接收 Lane 10
PCIE_RX_N10	Current Mode Logic (CML)	AW1	
PCIE_RX_P11	Current Mode Logic (CML)	AY4	接收 Lane 11
PCIE_RX_N11	Current Mode Logic (CML)	AY3	
PCIE_RX_P12	Current Mode Logic (CML)	BA6	接收 Lane 12
PCIE_RX_N12	Current Mode Logic (CML)	BA55	
PCIE_RX_P13	Current Mode Logic (CML)	BA2	接收 Lane 13
PCIE_RX_N13	Current Mode Logic (CML)	BA1	
PCIE_RX_P14	Current Mode Logic (CML)	BB4	接收 Lane 14
PCIE_RX_N14	Current Mode Logic (CML)	BB3	
PCIE_RX_P15	Current Mode Logic (CML)	BC2	接收 Lane 15
PCIE_RX_N15	Current Mode Logic (CML)	BC1	

PCIE_TX_P0	High Speed Differential I/O	AL11	发送 Lane 0
PCIE_TX_N0	High Speed Differential I/O	AL10	
PCIE_TX_P1	High Speed Differential I/O	AM9	发送 Lane 1
PCIE_TX_N1	High Speed Differential I/O	AM8	
PCIE_TX_P2	High Speed Differential I/O	AN11	发送 Lane 2
PCIE_TX_N2	High Speed Differential I/O	AN10	
PCIE_TX_P3	High Speed Differential I/O	AP9	发送 Lane 3
PCIE_TX_N3	High Speed Differential I/O	AP8	
PCIE_TX_P4	High Speed Differential I/O	AR11	发送 Lane 4
PCIE_TX_N4	High Speed Differential I/O	AR10	
PCIE_TX_P5	High Speed Differential I/O	AR7	发送 Lane 5
PCIE_TX_N5	High Speed Differential I/O	AR6	
PCIE_TX_P6	High Speed Differential I/O	AT9	发送 Lane 6
PCIE_TX_N6	High Speed Differential I/O	AT8	
PCIE_TX_P7	High Speed Differential I/O	AU11	发送 Lane 7
PCIE_TX_N7	High Speed Differential I/O	AU10	
PCIE_TX_P8	High Speed Differential I/O	AU7	发送 Lane 8
PCIE_TX_N8	High Speed Differential I/O	AU6	
PCIE_TX_P9	High Speed Differential I/O	AV9	发送 Lane 9
PCIE_TX_N9	High Speed Differential I/O	AV8	
PCIE_TX_P10	High Speed Differential I/O	AW11	发送 Lane10
PCIE_TX_N10	High Speed Differential I/O	AW10	
PCIE_TX_P11	High Speed Differential I/O	AY9	发送 Lane 11
PCIE_TX_N11	High Speed Differential I/O	AY8	
PCIE_TX_P12	High Speed Differential I/O	BA11	发送 Lane 12
PCIE_TX_N12	High Speed Differential I/O	BA10	
PCIE_TX_P13	High Speed Differential I/O	BB9	发送 Lane 13
PCIE_TX_N13	High Speed Differential I/O	BB8	
PCIE_TX_P14	High Speed Differential I/O	BC11	发送 Lane 14
PCIE_TX_N14	High Speed Differential I/O	BC10	
PCIE_TX_P15	High Speed Differential I/O	BC7	发送 Lane 15
PCIE_TX_N15	High Speed Differential I/O	BC6	
PCIE_EDGE_REFCLK_P	HCSL	AR15	主板参考时钟
PCIE_EDGE_REFCLK_N	HCSL	AR14	
PCIE_PERSTn		C19	复位信号
PCIE_WAKEN		BN22	唤醒信号
PCIE_SMBCLK		BG27	SMBUS 时钟
PCIE_SMBDAT		BG28	SMBUS 数据

附录 3：QSFP28 对应 FPGA 管脚定义

信号名称	电平标准	管脚	说明
QSFP28_1			
QSFP1_RX_P0	PCML	AU53	接收通道 1
QSFP1_RX_N0	PCML	AU54	
QSFP1_RX_P1	PCML	AT51	接收通道 2
QSFP1_RX_N1	PCML	AT52	
QSFP1_RX_P2	PCML	AR53	接收通道 3
QSFP1_RX_N2	PCML	AR54	
QSFP1_RX_P3	PCML	AP51	接收通道 4
QSFP1_RX_N3	PCML	AP52	
QSFP1_TX_P0	PCML	AU48	发送通道 1
QSFP1_TX_N0	PCML	AU49	
QSFP1_TX_P1	PCML	AT46	发送通道 2
QSFP1_TX_N1	PCML	AT47	
QSFP1_TX_P2	PCML	AR48	发送通道 3
QSFP1_TX_N2	PCML	AR49	
QSFP1_TX_P3	PCML	AR44	发送通道 4
QSFP1_TX_N3	PCML	AR45	
REFCLK_QSFP1_P	1.8V	AN40	参考时钟
REFCLK_QSFP1_N	1.8V	AN41	
QSFP1_INTERRUPTn	1.8V	BF22	Interrupt
QSFP1_RSTn	1.8V	BF21	Module Reset
QSFP1_LP_MODE	1.8V	BG22	Low Power Mode
QSFP1_MOD_SELn	1.8V	BG23	Module Select
QSFP1_MOD_PRSn	1.8V	BH22	Module Present
QSFP1_SCL	1.8V	BM25	I2C 时钟
QSFP1_SDA	1.8V	BP24	I2C 数据
SFP_1_RX_LED	1.8V	D19	LED 指示灯
QSFP28_2			
QSFP2_RX_P0	PCML	AD51	接收通道 1
QSFP2_RX_N0	PCML	AD52	
QSFP2_RX_P1	PCML	AC53	接收通道 2
QSFP2_RX_N1	PCML	AC54	
QSFP2_RX_P2	PCML	AC49	接收通道 3
QSFP2_RX_N2	PCML	AC50	
QSFP2_RX_P3	PCML	AB51	接收通道 4
QSFP2_RX_N3	PCML	AB52	

QSFP2_TX_P0	PCML	AD46	发送通道 1
QSFP2_TX_N0	PCML	AD47	
QSFP2_TX_P1	PCML	AC44	发送通道 2
QSFP2_TX_N1	PCML	AC45	
QSFP2_TX_P2	PCML	AB46	发送通道 3
QSFP2_TX_N2	PCML	AB47	
QSFP2_TX_P3	PCML	AA48	发送通道 4
QSFP2_TX_N3	PCML	AA49	
REFCLK_QSFP2_P	1.8V	AD42	参考时钟
REFCLK_QSFP2_N	1.8V	AD43	
QSFP2_INTERRUPTn	1.8V	BK23	Interrupt
QSFP2_RSTn	1.8V	BJ22	Module Reset
QSFP2_LP_MODE	1.8V	BL22	Low Power Mode
QSFP2_MOD_SELn	1.8V	BK21	Module Select
QSFP2_MOD_PRSn	1.8V	BK24	Module Present
QSFP2_SCL	1.8V	BP26	I2C 时钟
QSFP2_SDA	1.8V	BN26	I2C 数据
SFP_2_RX_LED	1.8V	D20	LED 指示灯

附录 4：DDR4 对应 FPGA 管脚定义

信号名称	电平标准	管脚	说明
DDR4_A			
CHANA_DDR4_ADR<0>	SSTL_12	F13	地址信号
CHANA_DDR4_ADR<1>	SSTL_12	J11	
CHANA_DDR4_ADR<2>	SSTL_12	G11	
CHANA_DDR4_ADR<3>	SSTL_12	E11	
CHANA_DDR4_ADR<4>	SSTL_12	D11	
CHANA_DDR4_ADR<5>	SSTL_12	G13	
CHANA_DDR4_ADR<6>	SSTL_12	H12	
CHANA_DDR4_ADR<7>	SSTL_12	E12	
CHANA_DDR4_ADR<8>	SSTL_12	F9	
CHANA_DDR4_ADR<9>	SSTL_12	A15	
CHANA_DDR4_ADR<10>	SSTL_12	K14	
CHANA_DDR4_ADR<11>	SSTL_12	D9	
CHANA_DDR4_ADR<12>	SSTL_12	K13	
CHANA_DDR4_ADR<13>	SSTL_12	D10	
CHANA_DDR4_ADR<14>	SSTL_12	F15	
CHANA_DDR4_ADR<15>	SSTL_12	J12	

CHANA_DDR4_ADR<16>	SSTL_12	F14	
CHANA_DDR4_ACT_N	SSTL_12	J15	地址命令信号
CHANA_DDR4_ALERT_N	SSTL_12	E14	报警信号
CHANA_DDR4_BA0	SSTL_12	D14	bank 选择
CHANA_DDR4_BA1	SSTL_12	B15	
CHANA_DDR4_BG0	SSTL_12	E9	group 选择
CHANA_DDR4_BG1	SSTL_12	F11	
CHANA_DDR4_CK_C	SSTL_12	G15	参考输入时钟
CHANA_DDR4_CK_T	SSTL_12	H15	
CHANA_DDR4_CKE	SSTL_12	F10	时钟使能
CHANA_DDR4_CS_N	SSTL_12	H14	片选
CHANA_DDR4_ODT	SSTL_12	D15	端接信号
CHANA_DDR4_PAR	SSTL_12	A14	极性控制
CHANA_DDR4_RESET_N	SSTL_12	H13	复位信号
CHANA_DDR4_TEN	SSTL_12	J14	测试模式
CHANA_SYS_CLK_N	Differential 1.2-V SSTL	D12	参考输出时钟
CHANA_SYS_CLK_P	Differential 1.2-V SSTL	E13	
<hr/>			
CHANA_DDR4_DM<0>	1.2-V POD	C10	数据 MASK
CHANA_DDR4_DM<1>	1.2-V POD	BP7	
CHANA_DDR4_DM<2>	1.2-V POD	BL3	
CHANA_DDR4_DM<3>	1.2-V POD	BH6	
CHANA_DDR4_DM<4>	1.2-V POD	BG5	
CHANA_DDR4_DM<5>	1.2-V POD	BP12	
CHANA_DDR4_DM<6>	1.2-V POD	BP9	
CHANA_DDR4_DM<7>	1.2-V POD	BJ11	
CHANA_DDR4_DM<8>	1.2-V POD	BH10	
<hr/>			
CHANA_DDR4_DQ<0>	1.2-V POD	A10	数据信号
CHANA_DDR4_DQ<1>	1.2-V POD	B11	
CHANA_DDR4_DQ<2>	1.2-V POD	A9	
CHANA_DDR4_DQ<3>	1.2-V POD	B10	
CHANA_DDR4_DQ<4>	1.2-V POD	A11	
CHANA_DDR4_DQ<5>	1.2-V POD	B12	
CHANA_DDR4_DQ<6>	1.2-V POD	A8	
CHANA_DDR4_DQ<7>	1.2-V POD	C12	
CHANA_DDR4_DQ<8>	1.2-V POD	BL6	
CHANA_DDR4_DQ<9>	1.2-V POD	BM4	
CHANA_DDR4_DQ<10>	1.2-V POD	BM5	
CHANA_DDR4_DQ<11>	1.2-V POD	BN5	
CHANA_DDR4_DQ<12>	1.2-V POD	BN4	
CHANA_DDR4_DQ<13>	1.2-V POD	BN6	
CHANA_DDR4_DQ<14>	1.2-V POD	BM3	

CHANA_DDR4_DQ<15>	1.2-V POD	BN7
CHANA_DDR4_DQ<16>	1.2-V POD	BK3
CHANA_DDR4_DQ<17>	1.2-V POD	BH2
CHANA_DDR4_DQ<18>	1.2-V POD	BK4
CHANA_DDR4_DQ<19>	1.2-V POD	BJ1
CHANA_DDR4_DQ<20>	1.2-V POD	BK5
CHANA_DDR4_DQ<21>	1.2-V POD	BH1
CHANA_DDR4_DQ<22>	1.2-V POD	BJ4
CHANA_DDR4_DQ<23>	1.2-V POD	BK1
CHANA_DDR4_DQ<24>	1.2-V POD	BK8
CHANA_DDR4_DQ<25>	1.2-V POD	BF7
CHANA_DDR4_DQ<26>	1.2-V POD	BG7
CHANA_DDR4_DQ<27>	1.2-V POD	BH5
CHANA_DDR4_DQ<28>	1.2-V POD	BG8
CHANA_DDR4_DQ<29>	1.2-V POD	BH4
CHANA_DDR4_DQ<30>	1.2-V POD	BJ8
CHANA_DDR4_DQ<31>	1.2-V POD	BF8
CHANA_DDR4_DQ<32>	1.2-V POD	BG3
CHANA_DDR4_DQ<33>	1.2-V POD	BE3
CHANA_DDR4_DQ<34>	1.2-V POD	BF1
CHANA_DDR4_DQ<35>	1.2-V POD	BE1
CHANA_DDR4_DQ<36>	1.2-V POD	BG2
CHANA_DDR4_DQ<37>	1.2-V POD	BE4
CHANA_DDR4_DQ<38>	1.2-V POD	BF2
CHANA_DDR4_DQ<39>	1.2-V POD	BF3
CHANA_DDR4_DQ<40>	1.2-V POD	BP14
CHANA_DDR4_DQ<41>	1.2-V POD	BP13
CHANA_DDR4_DQ<42>	1.2-V POD	BN12
CHANA_DDR4_DQ<43>	1.2-V POD	BM14
CHANA_DDR4_DQ<44>	1.2-V POD	BM13
CHANA_DDR4_DQ<45>	1.2-V POD	BL15
CHANA_DDR4_DQ<46>	1.2-V POD	BM12
CHANA_DDR4_DQ<47>	1.2-V POD	BM15
CHANA_DDR4_DQ<48>	1.2-V POD	BK9
CHANA_DDR4_DQ<49>	1.2-V POD	BN10
CHANA_DDR4_DQ<50>	1.2-V POD	BL10
CHANA_DDR4_DQ<51>	1.2-V POD	BM10
CHANA_DDR4_DQ<52>	1.2-V POD	BJ9
CHANA_DDR4_DQ<53>	1.2-V POD	BN9
CHANA_DDR4_DQ<54>	1.2-V POD	BK10
CHANA_DDR4_DQ<55>	1.2-V POD	BM9
CHANA_DDR4_DQ<56>	1.2-V POD	BH14
CHANA_DDR4_DQ<57>	1.2-V POD	BJ12

CHANA_DDR4_DQ<58>	1. 2-V POD	BK15		
CHANA_DDR4_DQ<59>	1. 2-V POD	BJ13		
CHANA_DDR4_DQ<60>	1. 2-V POD	BH15		
CHANA_DDR4_DQ<61>	1. 2-V POD	BL12		
CHANA_DDR4_DQ<62>	1. 2-V POD	BK14		
CHANA_DDR4_DQ<63>	1. 2-V POD	BL13		
CHANA_DDR4_DQ<64>	1. 2-V POD	BG10		
CHANA_DDR4_DQ<65>	1. 2-V POD	BG13		
CHANA_DDR4_DQ<66>	1. 2-V POD	BF10		
CHANA_DDR4_DQ<67>	1. 2-V POD	BE9		
CHANA_DDR4_DQ<68>	1. 2-V POD	BG9		
CHANA_DDR4_DQ<69>	1. 2-V POD	BE10		
CHANA_DDR4_DQ<70>	1. 2-V POD	BG12		
CHANA_DDR4_DQ<71>	1. 2-V POD	BE11		
<hr/>				
CHANA_DDR4_DQS_C<0>	Differential 1. 2-V POD	A13	数据 Probe 信号	
CHANA_DDR4_DQS_T<0>	Differential 1. 2-V POD	B13		
CHANA_DDR4_DQS_C<1>	Differential 1. 2-V POD	BM7		
CHANA_DDR4_DQS_T<1>	Differential 1. 2-V POD	BL7		
CHANA_DDR4_DQS_C<2>	Differential 1. 2-V POD	BJ2		
CHANA_DDR4_DQS_T<2>	Differential 1. 2-V POD	BJ3		
CHANA_DDR4_DQS_C<3>	Differential 1. 2-V POD	BJ7		
CHANA_DDR4_DQS_T<3>	Differential 1. 2-V POD	BH7		
CHANA_DDR4_DQS_C<4>	Differential 1. 2-V POD	BE5		
CHANA_DDR4_DQS_T<4>	Differential 1. 2-V POD	BE6		
CHANA_DDR4_DQS_C<5>	Differential 1. 2-V POD	BN14		
CHANA_DDR4_DQS_T<5>	Differential 1. 2-V POD	BN15		
CHANA_DDR4_DQS_C<6>	Differential 1. 2-V POD	BM8		
CHANA_DDR4_DQS_T<6>	Differential 1. 2-V POD	BL8		
CHANA_DDR4_DQS_C<7>	Differential 1. 2-V POD	BK13		
CHANA_DDR4_DQS_T<7>	Differential 1. 2-V POD	BJ14		
CHANA_DDR4_DQS_C<8>	Differential 1. 2-V POD	BF11		
CHANA_DDR4_DQS_T<8>	Differential 1. 2-V POD	BF12		
<hr/>				
DDR4_B				
CHANB_DDR4_ADR<0>	SSTL_12	A28	地址信号	
CHANB_DDR4_ADR<1>	SSTL_12	E28		
CHANB_DDR4_ADR<2>	SSTL_12	B31		
CHANB_DDR4_ADR<3>	SSTL_12	E29		
CHANB_DDR4_ADR<4>	SSTL_12	A29		
CHANB_DDR4_ADR<5>	SSTL_12	G30		
CHANB_DDR4_ADR<6>	SSTL_12	C32		
CHANB_DDR4_ADR<7>	SSTL_12	H29		

CHANB_DDR4_ADR<8>	SSTL_12	C30	
CHANB_DDR4_ADR<9>	SSTL_12	D30	
CHANB_DDR4_ADR<10>	SSTL_12	A30	
CHANB_DDR4_ADR<11>	SSTL_12	C28	
CHANB_DDR4_ADR<12>	SSTL_12	B33	
CHANB_DDR4_ADR<13>	SSTL_12	H30	
CHANB_DDR4_ADR<14>	SSTL_12	C33	
CHANB_DDR4_ADR<15>	SSTL_12	F31	
CHANB_DDR4_ADR<16>	SSTL_12	G33	
CHANB_DDR4_ACT_N	SSTL_12	B32	地址命令信号
CHANB_DDR4_ALERT_N	SSTL_12	F29	报警信号
CHANB_DDR4_BA0	SSTL_12	E33	bank 选择
CHANB_DDR4_BA1	SSTL_12	F28	
CHANB_DDR4_BG0	SSTL_12	D32	group 选择
CHANB_DDR4_BG1	SSTL_12	H33	
CHANB_DDR4_CK_C	SSTL_12	A31	参考输入时钟
CHANB_DDR4_CK_T	SSTL_12	B30	
CHANB_DDR4_CKE	SSTL_12	D31	时钟使能
CHANB_DDR4_CS_N	SSTL_12	C29	片选
CHANB_DDR4_ODT	SSTL_12	A33	端接信号
CHANB_DDR4_PAR	SSTL_12	B28	极性控制
CHANB_DDR4_RESET_N	SSTL_12	F33	复位信号
CHANB_DDR4_TEN	SSTL_12	F30	测试模式
CHANB_SYS_CLK_N	Differential 1.2-V SSTL	E32	参考输出时钟
CHANB_SYS_CLK_P	Differential 1.2-V SSTL	E31	
CHANB_DDR4_DM<0>	1.2-V POD	L33	数据 MASK
CHANB_DDR4_DM<1>	1.2-V POD	D34	
CHANB_DDR4_DM<2>	1.2-V POD	F35	
CHANB_DDR4_DM<3>	1.2-V POD	J39	
CHANB_DDR4_DM<4>	1.2-V POD	L35	
CHANB_DDR4_DM<5>	1.2-V POD	F40	
CHANB_DDR4_DM<6>	1.2-V POD	E42	
CHANB_DDR4_DM<7>	1.2-V POD	J44	
CHANB_DDR4_DM<8>	1.2-V POD	K41	
CHANB_DDR4_DQ<0>	1.2-V POD	J29	数据信号
CHANB_DDR4_DQ<1>	1.2-V POD	L29	
CHANB_DDR4_DQ<2>	1.2-V POD	J30	
CHANB_DDR4_DQ<3>	1.2-V POD	K31	
CHANB_DDR4_DQ<4>	1.2-V POD	J31	
CHANB_DDR4_DQ<5>	1.2-V POD	L30	
CHANB_DDR4_DQ<6>	1.2-V POD	K29	

CHANB_DDR4_DQ<7>	1.2-V POD	L31
CHANB_DDR4_DQ<8>	1.2-V POD	A35
CHANB_DDR4_DQ<9>	1.2-V POD	B36
CHANB_DDR4_DQ<10>	1.2-V POD	A34
CHANB_DDR4_DQ<11>	1.2-V POD	C37
CHANB_DDR4_DQ<12>	1.2-V POD	A36
CHANB_DDR4_DQ<13>	1.2-V POD	B38
CHANB_DDR4_DQ<14>	1.2-V POD	B35
CHANB_DDR4_DQ<15>	1.2-V POD	C35
CHANB_DDR4_DQ<16>	1.2-V POD	D36
CHANB_DDR4_DQ<17>	1.2-V POD	F34
CHANB_DDR4_DQ<18>	1.2-V POD	E37
CHANB_DDR4_DQ<19>	1.2-V POD	E36
CHANB_DDR4_DQ<20>	1.2-V POD	D37
CHANB_DDR4_DQ<21>	1.2-V POD	E34
CHANB_DDR4_DQ<22>	1.2-V POD	E38
CHANB_DDR4_DQ<23>	1.2-V POD	D35
CHANB_DDR4_DQ<24>	1.2-V POD	G37
CHANB_DDR4_DQ<25>	1.2-V POD	H34
CHANB_DDR4_DQ<26>	1.2-V POD	G36
CHANB_DDR4_DQ<27>	1.2-V POD	H37
CHANB_DDR4_DQ<28>	1.2-V POD	F38
CHANB_DDR4_DQ<29>	1.2-V POD	H35
CHANB_DDR4_DQ<30>	1.2-V POD	H38
CHANB_DDR4_DQ<31>	1.2-V POD	G35
CHANB_DDR4_DQ<32>	1.2-V POD	K36
CHANB_DDR4_DQ<33>	1.2-V POD	K34
CHANB_DDR4_DQ<34>	1.2-V POD	K37
CHANB_DDR4_DQ<35>	1.2-V POD	J36
CHANB_DDR4_DQ<36>	1.2-V POD	K39
CHANB_DDR4_DQ<37>	1.2-V POD	L34
CHANB_DDR4_DQ<38>	1.2-V POD	L39
CHANB_DDR4_DQ<39>	1.2-V POD	J37
CHANB_DDR4_DQ<40>	1.2-V POD	B41
CHANB_DDR4_DQ<41>	1.2-V POD	A39
CHANB_DDR4_DQ<42>	1.2-V POD	B42
CHANB_DDR4_DQ<43>	1.2-V POD	A40
CHANB_DDR4_DQ<44>	1.2-V POD	D41
CHANB_DDR4_DQ<45>	1.2-V POD	C40
CHANB_DDR4_DQ<46>	1.2-V POD	E41
CHANB_DDR4_DQ<47>	1.2-V POD	D40
CHANB_DDR4_DQ<48>	1.2-V POD	A44
CHANB_DDR4_DQ<49>	1.2-V POD	C45

CHANB_DDR4_DQ<50>	1. 2-V POD	B46		
CHANB_DDR4_DQ<51>	1. 2-V POD	A43		
CHANB_DDR4_DQ<52>	1. 2-V POD	B45		
CHANB_DDR4_DQ<53>	1. 2-V POD	C43		
CHANB_DDR4_DQ<54>	1. 2-V POD	C44		
CHANB_DDR4_DQ<55>	1. 2-V POD	D42		
CHANB_DDR4_DQ<56>	1. 2-V POD	F46		
CHANB_DDR4_DQ<57>	1. 2-V POD	F44		
CHANB_DDR4_DQ<58>	1. 2-V POD	F45		
CHANB_DDR4_DQ<59>	1. 2-V POD	D44		
CHANB_DDR4_DQ<60>	1. 2-V POD	H45		
CHANB_DDR4_DQ<61>	1. 2-V POD	E44		
CHANB_DDR4_DQ<62>	1. 2-V POD	G45		
CHANB_DDR4_DQ<63>	1. 2-V POD	D45		
CHANB_DDR4_DQ<64>	1. 2-V POD	H42		
CHANB_DDR4_DQ<65>	1. 2-V POD	G41		
CHANB_DDR4_DQ<66>	1. 2-V POD	H43		
CHANB_DDR4_DQ<67>	1. 2-V POD	J41		
CHANB_DDR4_DQ<68>	1. 2-V POD	J42		
CHANB_DDR4_DQ<69>	1. 2-V POD	J40		
CHANB_DDR4_DQ<70>	1. 2-V POD	G43		
CHANB_DDR4_DQ<71>	1. 2-V POD	G42		
<hr/>				
CHANB_DDR4_DQS_C<0>	Differential 1. 2-V POD	J32	数据 Probe 信号	
CHANB_DDR4_DQS_T<0>	Differential 1. 2-V POD	K32		
CHANB_DDR4_DQS_C<1>	Differential 1. 2-V POD	A38		
CHANB_DDR4_DQS_T<1>	Differential 1. 2-V POD	B37		
CHANB_DDR4_DQS_C<2>	Differential 1. 2-V POD	D39		
CHANB_DDR4_DQS_T<2>	Differential 1. 2-V POD	E39		
CHANB_DDR4_DQS_C<3>	Differential 1. 2-V POD	F39		
CHANB_DDR4_DQS_T<3>	Differential 1. 2-V POD	G38		
CHANB_DDR4_DQS_C<4>	Differential 1. 2-V POD	K38		
CHANB_DDR4_DQS_T<4>	Differential 1. 2-V POD	L38		
CHANB_DDR4_DQS_C<5>	Differential 1. 2-V POD	A41		
CHANB_DDR4_DQS_T<5>	Differential 1. 2-V POD	B40		
CHANB_DDR4_DQS_C<6>	Differential 1. 2-V POD	A46		
CHANB_DDR4_DQS_T<6>	Differential 1. 2-V POD	A45		
CHANB_DDR4_DQS_C<7>	Differential 1. 2-V POD	D46		
CHANB_DDR4_DQS_T<7>	Differential 1. 2-V POD	E46		
CHANB_DDR4_DQS_C<8>	Differential 1. 2-V POD	G40		
CHANB_DDR4_DQS_T<8>	Differential 1. 2-V POD	H40		
<hr/>				
DDR4_C				

CHANC_DDR4_ADR<0>	SSTL_12	BN32	
CHANC_DDR4_ADR<1>	SSTL_12	BN35	
CHANC_DDR4_ADR<2>	SSTL_12	BP29	
CHANC_DDR4_ADR<3>	SSTL_12	BH34	
CHANC_DDR4_ADR<4>	SSTL_12	BM33	
CHANC_DDR4_ADR<5>	SSTL_12	BM35	
CHANC_DDR4_ADR<6>	SSTL_12	BP31	
CHANC_DDR4_ADR<7>	SSTL_12	BN34	
CHANC_DDR4_ADR<8>	SSTL_12	BM30	
CHANC_DDR4_ADR<9>	SSTL_12	BP34	
CHANC_DDR4_ADR<10>	SSTL_12	BL30	
CHANC_DDR4_ADR<11>	SSTL_12	BM28	
CHANC_DDR4_ADR<12>	SSTL_12	BK35	
CHANC_DDR4_ADR<13>	SSTL_12	BM34	
CHANC_DDR4_ADR<14>	SSTL_12	BJ33	
CHANC_DDR4_ADR<15>	SSTL_12	BH35	
CHANC_DDR4_ADR<16>	SSTL_12	BF36	
CHANC_DDR4_ACT_N	SSTL_12	BJ34	地址命令信号
CHANC_DDR4_ALERT_N	SSTL_12	BP28	报警信号
CHANC_DDR4_BA0	SSTL_12	BP32	bank 选择
CHANC_DDR4_BA1	SSTL_12	BK34	
CHANC_DDR4_BG0	SSTL_12	BL32	group 选择
CHANC_DDR4_BG1	SSTL_12	BF35	
CHANC_DDR4_CK_C	SSTL_12	BN30	参考输入时钟
CHANC_DDR4_CK_T	SSTL_12	BN29	
CHANC_DDR4_CKE	SSTL_12	BK33	时钟使能
CHANC_DDR4_CS_N	SSTL_12	BG34	片选
CHANC_DDR4_ODT	SSTL_12	BL33	端接信号
CHANC_DDR4_PAR	SSTL_12	BM29	极性控制
CHANC_DDR4_RESET_N	SSTL_12	BN31	复位信号
CHANC_DDR4_TEN	SSTL_12	BL35	测试模式
CHANC_SYS_CLK_N	Differential 1.2-V SSTL	BJ32	参考输出时钟
CHANC_SYS_CLK_P	Differential 1.2-V SSTL	BH32	
CHANC_DDR4_DM<0>	1. 2-V POD	BG29	数据 MASK
CHANC_DDR4_DM<1>	1. 2-V POD	BN42	
CHANC_DDR4_DM<2>	1. 2-V POD	BL47	
CHANC_DDR4_DM<3>	1. 2-V POD	BH42	
CHANC_DDR4_DM<4>	1. 2-V POD	BD41	
CHANC_DDR4_DM<5>	1. 2-V POD	BP48	
CHANC_DDR4_DM<6>	1. 2-V POD	BK48	
CHANC_DDR4_DM<7>	1. 2-V POD	BJ52	
CHANC_DDR4_DM<8>	1. 2-V POD	BG48	

Data Signals		
CHANC_DDR4_DQ<0>	1.2-V POD	BG32
CHANC_DDR4_DQ<1>	1.2-V POD	BH29
CHANC_DDR4_DQ<2>	1.2-V POD	BJ31
CHANC_DDR4_DQ<3>	1.2-V POD	BH31
CHANC_DDR4_DQ<4>	1.2-V POD	BH30
CHANC_DDR4_DQ<5>	1.2-V POD	BF32
CHANC_DDR4_DQ<6>	1.2-V POD	BF31
CHANC_DDR4_DQ<7>	1.2-V POD	BF33
CHANC_DDR4_DQ<8>	1.2-V POD	BN45
CHANC_DDR4_DQ<9>	1.2-V POD	BP44
CHANC_DDR4_DQ<10>	1.2-V POD	BN44
CHANC_DDR4_DQ<11>	1.2-V POD	BP47
CHANC_DDR4_DQ<12>	1.2-V POD	BM45
CHANC_DDR4_DQ<13>	1.2-V POD	BN47
CHANC_DDR4_DQ<14>	1.2-V POD	BM44
CHANC_DDR4_DQ<15>	1.2-V POD	BP43
CHANC_DDR4_DQ<16>	1.2-V POD	BJ43
CHANC_DDR4_DQ<17>	1.2-V POD	BL43
CHANC_DDR4_DQ<18>	1.2-V POD	BK44
CHANC_DDR4_DQ<19>	1.2-V POD	BL42
CHANC_DDR4_DQ<20>	1.2-V POD	BJ44
CHANC_DDR4_DQ<21>	1.2-V POD	BL46
CHANC_DDR4_DQ<22>	1.2-V POD	BK43
CHANC_DDR4_DQ<23>	1.2-V POD	BL45
CHANC_DDR4_DQ<24>	1.2-V POD	BG42
CHANC_DDR4_DQ<25>	1.2-V POD	BG43
CHANC_DDR4_DQ<26>	1.2-V POD	BJ41
CHANC_DDR4_DQ<27>	1.2-V POD	BG44
CHANC_DDR4_DQ<28>	1.2-V POD	BK41
CHANC_DDR4_DQ<29>	1.2-V POD	BH44
CHANC_DDR4_DQ<30>	1.2-V POD	BG45
CHANC_DDR4_DQ<31>	1.2-V POD	BH45
CHANC_DDR4_DQ<32>	1.2-V POD	BC42
CHANC_DDR4_DQ<33>	1.2-V POD	BF46
CHANC_DDR4_DQ<34>	1.2-V POD	BF42
CHANC_DDR4_DQ<35>	1.2-V POD	BE44
CHANC_DDR4_DQ<36>	1.2-V POD	BE43
CHANC_DDR4_DQ<37>	1.2-V POD	BF45
CHANC_DDR4_DQ<38>	1.2-V POD	BD42
CHANC_DDR4_DQ<39>	1.2-V POD	BF43
CHANC_DDR4_DQ<40>	1.2-V POD	BN49
CHANC_DDR4_DQ<41>	1.2-V POD	BN51

CHANC_DDR4_DQ<42>	1. 2-V POD	BN50	
CHANC_DDR4_DQ<43>	1. 2-V POD	BM52	
CHANC_DDR4_DQ<44>	1. 2-V POD	BM48	
CHANC_DDR4_DQ<45>	1. 2-V POD	BL52	
CHANC_DDR4_DQ<46>	1. 2-V POD	BL51	
CHANC_DDR4_DQ<47>	1. 2-V POD	BL53	
CHANC_DDR4_DQ<48>	1. 2-V POD	BK50	
CHANC_DDR4_DQ<49>	1. 2-V POD	BH50	
CHANC_DDR4_DQ<50>	1. 2-V POD	BK51	
CHANC_DDR4_DQ<51>	1. 2-V POD	BH51	
CHANC_DDR4_DQ<52>	1. 2-V POD	BJ49	
CHANC_DDR4_DQ<53>	1. 2-V POD	BH49	
CHANC_DDR4_DQ<54>	1. 2-V POD	BJ48	
CHANC_DDR4_DQ<55>	1. 2-V POD	BJ51	
CHANC_DDR4_DQ<56>	1. 2-V POD	BH52	
CHANC_DDR4_DQ<57>	1. 2-V POD	BG54	
CHANC_DDR4_DQ<58>	1. 2-V POD	BK53	
CHANC_DDR4_DQ<59>	1. 2-V POD	BG53	
CHANC_DDR4_DQ<60>	1. 2-V POD	BG52	
CHANC_DDR4_DQ<61>	1. 2-V POD	BE54	
CHANC_DDR4_DQ<62>	1. 2-V POD	BK54	
CHANC_DDR4_DQ<63>	1. 2-V POD	BE53	
CHANC_DDR4_DQ<64>	1. 2-V POD	BF50	
CHANC_DDR4_DQ<65>	1. 2-V POD	BE50	
CHANC_DDR4_DQ<66>	1. 2-V POD	BF51	
CHANC_DDR4_DQ<67>	1. 2-V POD	BE51	
CHANC_DDR4_DQ<68>	1. 2-V POD	BG50	
CHANC_DDR4_DQ<69>	1. 2-V POD	BE49	
CHANC_DDR4_DQ<70>	1. 2-V POD	BF52	
CHANC_DDR4_DQ<71>	1. 2-V POD	BD51	
<hr/>			
CHANC_DDR4_DQS_C<0>	Differential 1. 2-V POD	BK30	数据 Probe 信号
CHANC_DDR4_DQS_T<0>	Differential 1. 2-V POD	BJ29	
CHANC_DDR4_DQS_C<1>	Differential 1. 2-V POD	BP46	
CHANC_DDR4_DQS_T<1>	Differential 1. 2-V POD	BN46	
CHANC_DDR4_DQS_C<2>	Differential 1. 2-V POD	BK46	
CHANC_DDR4_DQS_T<2>	Differential 1. 2-V POD	BK45	
CHANC_DDR4_DQS_C<3>	Differential 1. 2-V POD	BJ46	
CHANC_DDR4_DQS_T<3>	Differential 1. 2-V POD	BH46	
CHANC_DDR4_DQS_C<4>	Differential 1. 2-V POD	BE46	
CHANC_DDR4_DQS_T<4>	Differential 1. 2-V POD	BE45	
CHANC_DDR4_DQS_C<5>	Differential 1. 2-V POD	BM50	
CHANC_DDR4_DQS_T<5>	Differential 1. 2-V POD	BM49	

CHANC_DDR4_DQS_C<6>	Differential 1.2-V POD	BJ47	
CHANC_DDR4_DQS_T<6>	Differential 1.2-V POD	BH47	
CHANC_DDR4_DQS_C<7>	Differential 1.2-V POD	BJ54	
CHANC_DDR4_DQS_T<7>	Differential 1.2-V POD	BH54	
CHANC_DDR4_DQS_C<8>	Differential 1.2-V POD	BF48	
CHANC_DDR4_DQS_T<8>	Differential 1.2-V POD	BF47	